

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**This Page Blank (uspto)**

**TI** - CARRYING CONTROL METHOD TO BATCH-TYPE  
IC-MANUFACTURING/ TREATMENT DEVICE  
**PN** - JP11297785 A 19991029  
**AP** - JP19980096154 19980408  
**OPD** - 1998-04-08  
**PR** - JP19980096154 19980408  
**PA** - OKI DENKI MIYAGI KK,KOKI ELECTRIC IND CO LTD  
**IN** - SATO TAKASHI  
**IC** - H01L21/68

**TI** - Computer aided transfer control procedure for batch type IC manufacture processing apparatus - involves conveying lots in batch set to specific processing apparatus when number of lots is maximum, else conveying them to another processing apparatus  
**AB** - JP11297785 NOVELTY - Computer (1) confirms the suitableness of the batch processing of the semiconductor, after completion of the pre-process. When number of lots in batch set is maximum, during standby period after preprocessing, the lots are conveyed to processing apparatus (B1). Else, after elapse of batch set queuing time, the lots within unit are conveyed to the processing apparatus (B2). DETAILED DESCRIPTION - A lot process relevant information table stores the required information from process management table for every lot. A conveying management table shows the conveying demand start time when the batch set queuing time is completed.  
- USE - For batch type semiconductor IC manufacturing apparatus.  
- ADVANTAGE - The conveying efficiency for lot of semiconductors is improved as need to return lot to storage chamber is avoided. The standby is prolonged for long time to ensure the batch set to fulfill specific limit by which operation is not hindered.

- (Dwg.1/3)

**PN** - JP11297785 A 19991029 DW200003 H01L21/68 006pp  
**OPD** - 1998-04-08  
**PR** - JP19980096154 19980408  
**PA** - (MIYA-N) MIYAGI OKI DENKI KK  
- (OKID ) OKI ELECTRIC IND CO LTD  
**IC** - H01L21/68  
**AN** - 2000-029981 [03]

**This Page Blank (uspto)**

**TI** - CARRYING CONTROL METHOD TO BATCH-TYPE IC-MANUFACTURING/ TREATMENT DEVICE

**AB** - PROBLEM TO BE SOLVED: To improve carrying efficiency by carrying from a standard device to a bath device or vice versa.  
- SOLUTION: In a carrying control method, standby is made on standard treatment type IC-manufacturing treatment devices A1-A3 for treating a single lot in a previous process, until lots L1-L3 are configured in a batch assembly, after the treatment of the previous process is completed, the lots L1-L3 are carried to a batch-type IC-manufacturing treatment device B1 in a next process for treatment when batch assembly is made, batch assembly is made with the lot L3 within a batch assembly target range before being carried to the batch- type IC manufacturing treatment device B2 in the next process for treatment after batch assembly wait time passes, when the number of lots of batch assembly is not sufficient.

**PN** - JP11297785 A 19991029

**AP** - JP19980096154 19980408

**PA** - MIYAGI OKI DENKI KKOKI ELECTRIC IND CO LTD

**IN** - SATO TAKASHI

**I** - H01L21/68

**This Page Blank (uspto)**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-297785

(43) 公開日 平成11年(1999)10月29日

(51) Int.Cl.<sup>6</sup>

識別記号

H 01 L 21/68

F I

H 01 L 21/68

A

審査請求 未請求 請求項の数4 O.L (全6頁)

(21) 出願番号 特願平10-96154

(22) 出願日 平成10年(1998)4月8日

(71) 出願人 591048162

宮城沖電気株式会社

宮城県黒川郡大衡村沖の平1番地

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 佐藤 孝史

宮城県黒川郡大衡村沖の平1番地 宮城沖  
電気株式会社内

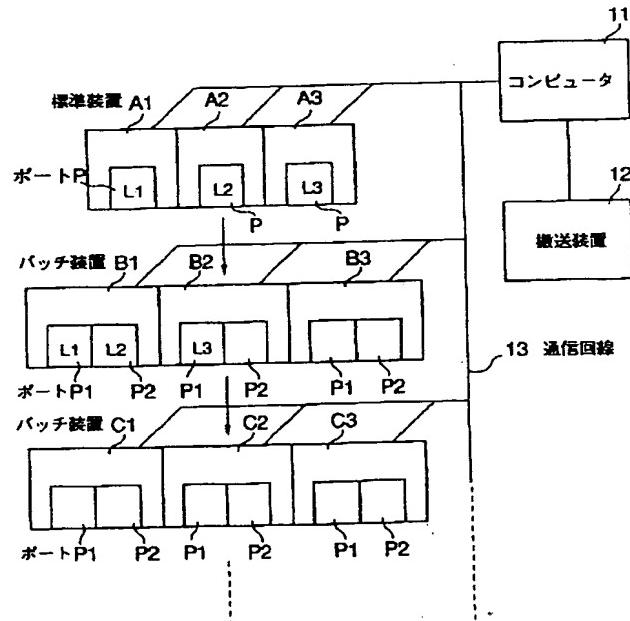
(74) 代理人 弁理士 鈴木 敏明

(54) 【発明の名称】 バッチ式IC製造処理装置への搬送制御方法

(57) 【要約】

【課題】 IC製造処理装置での処理終了後、半導体のロットを保管庫へ戻してからバッチ組みを行い、その後バッチ組みしたロットを複数ロット処理可能なバッチ式IC製造処理装置へ搬送するので非効率的であった。

【解決手段】 前工程の処理終了後、ロットL1～L3がバッチ組みに構成されるまで前工程の1ロット処理する標準処理式IC製造処理装置A1～A3上で待機し、バッチ組みができた時は次工程のバッチ式IC製造処理装置B1へ搬送して処理し、バッチ組みのロット数に満たない場合はバッチ組み待ち時間を経過後、バッチ組み対象範囲内のロットL3でバッチ組みして次工程のバッチ式IC製造処理装置B2へ搬送して処理する。



本発明のシステム構成を示す図

## 【特許請求の範囲】

【請求項1】 半導体のロットを搬送する搬送装置と、半導体を1ロット処理する標準処理式IC製造処理装置と、複数ロット処理可能なバッチ式IC製造処理装置をコンピュータにより制御するシステムにおいて、前工程の処理終了後、コンピュータは次工程作業のバッチ処理の可否を確認し、バッチ処理可の場合は、半導体のロットがバッチ組みに構成されるまで前工程のIC製造処理装置上で待機し、バッチ組みの最大ロット数になったときはバッチ組みを構成して次工程のバッチ式IC製造処理装置へ搬送して処理し、バッチ組みの最大ロット数に満たない場合は、処理工程に予め設定されたバッチ組み待ち時間を経過後、バッチ組み対象範囲内のロットでバッチ組みを構成して次工程のバッチ式IC製造処理装置へ搬送して処理することを特徴とするバッチ式IC製造処理装置への搬送制御方法。

【請求項2】 前記コンピュータは、バッチ処理の可否を含むロット毎の処理管理テーブルと、バッチ組みの最大ロット数と1処理の最小ロット数を示す装置別処理ロット数テーブルと、前記ロット毎の処理管理テーブルから必要情報を格納したロット工程関連情報テーブルと、バッチ組み待ち時間経過後に搬送する搬送要求開始時刻を示す搬送管理テーブルとを有し、前記各テーブルに従って搬送制御することを特徴とする請求項1記載のバッチ式IC製造処理装置への搬送制御方法。

【請求項3】 前記前工程のIC製造処理装置が標準処理式IC製造処理装置であることを特徴とする請求項1又は請求項2記載のバッチ式IC製造処理装置への搬送制御方法。

【請求項4】 前記前工程のIC製造処理装置がバッチ式IC製造処理装置であることを特徴とする請求項1又は請求項2記載のバッチ式IC製造処理装置への搬送制御方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体の製造プロセスにおけるバッチ式IC製造処理装置への搬送制御方法に関するものである。

## 【0002】

【従来の技術】IC製造処理装置には、半導体のロットを処理する基準数が1ロット単位の標準処理式IC製造処理装置（以下、標準装置という）と、複数ロットを同時に一括処理可能なバッチ式IC製造処理装置（以下、バッチ装置という）がある。

【0003】図3はこのような標準装置とバッチ装置間

の従来のロット搬送方法を示す図である。

【0004】コンピュータ例えばホストコンピュータを用いてロットを搬送する場合、ベイ（複数の装置からなる製造ラインをいう）内の保管庫Sから経路R1を通して標準装置A1の処理ポートPにロットL1、標準装置A2にロットL2、標準装置A3にロットL3を搬送する。

【0005】標準装置A1～A3の処理終了後、コンピュータにより次作業の処理装置がバッチ装置B1～B3であると確認されると、経路R2を通してロットL1～L3は一度保管庫Sへ戻され、そこで複数の対象ロットにバッチ組み（L1とL2の組、L3の組）されて経路R3でバッチ装置B1の処理ポートP1、P2及びバッチ装置B2の処理ポートP1にロットL1～L3が搬送される。

【0006】バッチ装置B2の処理が終了すると、経路R4を通してロットL1～L3は保管庫Sへ搬送される。

【0007】  
20 【発明が解決しようとする課題】しかしながら、標準装置又はバッチ装置での処理終了後、ロットを一度保管庫へ戻してからバッチ組みを行い、その後バッチ組みしたロットをバッチ装置へ搬送するので、対バッチ装置又は連続バッチ装置間の搬送ができず、非効率的であった。

【0008】また、製造プロセスの制約上、標準装置での処理終了後、次工程のバッチ装置での処理が終了しないと保管庫にロットを戻せない場合があり、バッチ装置への装置間搬送ができないため、この場合には作業者によってロットの搬送を行っていた。

【0009】  
30 【課題を解決するための手段】上記した課題を解決するため、本発明は、前工程の処理終了後、次工程作業のバッチ処理の可否を確認し、バッチ処理可の場合は、半導体のロットがバッチ組みに構成されるまで前工程の装置上で待機し、バッチ組みができた時は次工程のバッチ装置へ搬送して処理し、バッチ組みのロット数に満たない場合はバッチ組み待ち時間を経過後、バッチ組み対象範囲内のロットでバッチ組みして次工程のバッチ装置へ搬送して処理するようにしたものである。

## 【0010】

【発明の実施の形態】図1は本発明のシステム構成を示す図である。コンピュータ11は、半導体のロットを搬送する搬送装置12と、半導体を1ロット処理する標準装置A1～A3と、複数ロット処理可能なバッチ装置B1～B3、C1～C3とを通信回線13で結び、制御している。

【0011】コンピュータ11は、通常ホストコンピュータが使用され、表1のロット毎の処理管理テーブル、表2の装置別処理ロット数テーブル、表3のロット工程関連情報テーブル及び表4の搬送管理テーブルを有して

いる。なお、表2～表4は工程2までのデータで示して \*【0012】  
いる。

\*【表1】

LOT名	処理状況	処理工桯名	処理装置	処理可能装置	処理条件	終了時間	バッチ可否	バッチ必須構成フラグ	バッチ組み待ち時間
L 1	処理済み	工程1	A 1	A1, A2, A3	X	0:00:01	否		無し
		工程2		B1, B2, B3	Y		可	無	5分
		工程3		C1, C2, C3	Z		可	無	5分

LOT名	処理状況	処理工桯名	処理装置	処理可能装置	処理条件	終了時間	バッチ可否	バッチ必須構成フラグ	バッチ組み待ち時間
L 2	処理済み	工程1	A 2	A1, A2, A3	X	0:00:02	否		無し
		工程2		B1, B2, B3	Y		可	無	5分
		工程3		C1, C2, C3	Z		可	無	5分

LOT名	処理状況	処理工桯名	処理装置	処理可能装置	処理条件	終了時間	バッチ可否	バッチ必須構成フラグ	バッチ組み待ち時間
L 3	処理済み	工程1	A 3	A1, A2, A3	X	0:00:10	否		無し
		工程2		B1, B2, B3	Y		可	無	5分
		工程3		C1, C2, C3	Z		可	無	5分

## ロット毎の処理管理テーブル

【0013】

【表2】

1 処理LOT数		
装置名	MAX	MIN
A 1	1	1
A 2	1	1
A 3	1	1
B 1	2	1
B 2	2	1
B 3	2	1

## 装置別処理ロット数テーブル

※

LOT名	処理工桯名	バッチ可否	バッチ組み待ち時間	処理可能装置	処理条件	搬送先装置名
L 1	工程2	可	5分	B1, B2, B3	Y	B 1
L 2	工程2	可	5分	B1, B2, B3	Y	B 1
L 3	工程2	可	5分	B1, B2, B3	Y	B 2

## ロット工程関連情報テーブル

【0015】

★ ★ 【表4】

LOT名	装置(PROM側)	装置(TO側)	処理ポート	搬送要求開始時刻
L 1	A 1	B 1	P 1	0:00:06
L 2	A 2	B 1	P 2	0:00:07
L 3	A 3	B 2	P 1	0:00:15

## 搬送管理テーブル

【0016】搬送装置12はコンピュータ11の制御により、図示しない保管庫から標準装置A1～A3へ半導体のロットL1～L3を搬送し、また標準装置A1～A3からバッチ装置B1、B2へロットL1～L3を搬送する。

【0017】ロットL1～L3は標準装置A1～A3の処理ポートP、バッチ装置B1、B2の処理ポートP1、P2に搬送されて、所定の処理が行われる。

【0018】標準装置A1～A3、バッチ装置B1～B3、C1～C3は従来と同様の装置であって、設置台数、ロットの数などは例示である。

【0019】図2は本発明の搬送制御方法の実施形態を示すフローチャートで、F1～Fはフローを示し、YはYes、NはNoを示している。

【0020】図1及び図2を用いて動作を説明する。

【0021】現在、標準装置A1～A3でロットL1～L3の処理が行われているとする。各ロットL1～L3の処理について、コンピュータ11は表1に示したロット毎の処理管理テーブルによって現工程の工程1の処理及びそれ以降の工程の処理を管理している。

【0022】ここで、標準装置A1にてロットL1の工程1(前工程)の処理が終了後(フローF1)、コンピュータ11はロットL1の次工程作業がバッチ処理可能か否か表1により確認する(フローF2)。

【0023】次工程処理がバッチ否の場合は、次工程対象処理装置が標準装置であるので、ロットはコンピュータ11の搬送指示で搬送装置12により標準装置へ搬送され、処理される(フローF3)。

【0024】ロットL1についてはバッチ可のため、コンピュータ11は、表3のロット工程関連情報テーブルに、表1の処理管理テーブルからロットL1についての情報(LOT名、処理工程名、バッチ可否、バッチ待ち時間、処理可能装置、処理条件、バッチ必須構成フラグ)を格納する。その際、次工程の処理可能装置の中から、表3の搬送先装置として搬入要求のあるバッチ装置B1を選択する(フローF4)。

【0025】コンピュータ11は次工程処理装置(B1)を決定後、バッチ装置B1への搬送指示を表4の搬送管理テーブルにて管理し、ロットL1をバッチ組みが構成されるまでの間、搬送要求開始時刻前(ロット処理終了からバッチ組み待ち時間により算出した時間)まで前工程処理装置である標準装置A1の処理ポートP上で待機させる(フローF5)。

【0026】バッチ組み待ち時間は処理工程毎にその最大時間が予め設定され、登録されているもので、表1において、例えば工程2、工程3について5分と設定されている。

【0027】コンピュータ11は、各装置におけるバッチ組みの構成について、表2の装置別処理ロット数テーブルにて1処理におけるロット数の最大(MAX)と最

小(MIN)を管理している。

【0028】ここで、次工程のバッチ装置B1の処理待ちロット数、即ちバッチ組み対象ロット数が最大のロット数であるかどうか判断される(フローF6)。最大セット数の場合は、バッチ組み構成をし、次工程のバッチ装置へバッチ組みで搬送し、処理をする(フローF7)。

【0029】しかし、現在はロットL1のみのため、最大ロット数には至らず、表1の処理管理テーブルでロットL1のバッチ必須構成フラグをチェックし、“有”であればバッチ組みの構成が可能になるまで待機状態となる(フローF8)。この待機は、ロットL1の処理をした前工程の標準装置A1の処理ポートP上で行われる(フローF5)。

【0030】バッチ必須構成フラグが“無”的時は、表4の搬送管理テーブルにて搬送要求開始時刻前(バッチ組み待ち時間内)であれば、コンピュータ11はその時間内に処理待ち対象ロットが存在するかどうかをチェックする(フローF9)。YESの時はフローF5で待機する。

【0031】標準装置A2にてロットL2の処理が終了すると、上記と同様の制御を行い、次工程処理装置(B1)が選択されたので、ロットL1、L2によりバッチ装置B1における1処理の最大ロット数の条件を満たし(フローF6)、コンピュータ11は、バッチ組み待ち時間内であるが、ロットL1とL2のバッチ組みが構成されたため、バッチ装置B1への搬送指示を出し、バッチ組み(L1とL2)は搬送装置12によりバッチ装置B1へ搬送され、処理される(フローF7)。

【0032】標準装置A3にて処理が終了したロットL3については、バッチ装置B2の1処理の最大ロット数に満たず、バッチ組みの構成が搬送開始時刻前(バッチ組み待ち時間内)に成立しなかったとする(フローF9)。

【0033】この時、コンピュータ11は表2の装置別処理ロット数テーブルにてバッチ装置B2における1処理ロット数の最小を参照し、バッチ組み対象範囲内であれば搬送指示を出すため、ロットL3はバッチ装置B2でのバッチ組み対象範囲内であるから、バッチ装置B2への搬送が可能となる(フローF10)。

【0034】もし、バッチ組みの最小ロット数に満たない場合は最小バッチ組みの構成が可能になるまで待機状態となる(フローF5)。

【0035】バッチ組み待ち時間を経過後、ロットL3はバッチ組み対象範囲内のバッチ組み構成にて次工程のバッチ装置B2へ搬送装置12により搬送され、処理される(フローF11)。

【0036】バッチ装置B1～B3からバッチ装置C1～C3へのロットの搬送も、上記と同様にコンピュータ11の制御により行われる。

## 【0037】

【発明の効果】上記したように、本発明は次工程のバッチ装置へロットをバッチ組みして搬送する際、前工程の処理装置上で待機させてバッチ組みを構成するので、保管庫へ戻す必要がなく、標準装置からバッチ装置へ、またバッチ装置からバッチ装置への搬送が可能になり、搬送の効率が向上する。

【0038】また、製造プロセスの制約上、次工程のバッチ装置での処理が終了しないと保管庫にロットを戻せない場合にも、保管庫に戻さないので作業者の介在も不要で、バッチ装置への自動搬送の効果がある。

【0039】更に、バッチ組み待ち時間を設定して、バッチ組みの最大ロット数に満たない場合でも、バッチ組

10

み対象範囲内のロットによりバッチ組み構成を行うので、長時間待機させて前工程の処理装置の作業の妨げになることもない。

## 【図面の簡単な説明】

【図1】本発明のシステム構成を示す図

【図2】本発明の搬送制御方法を示すフローチャート

【図3】従来のロット搬送方法を示す図

## 【符号の説明】

1 コンピュータ

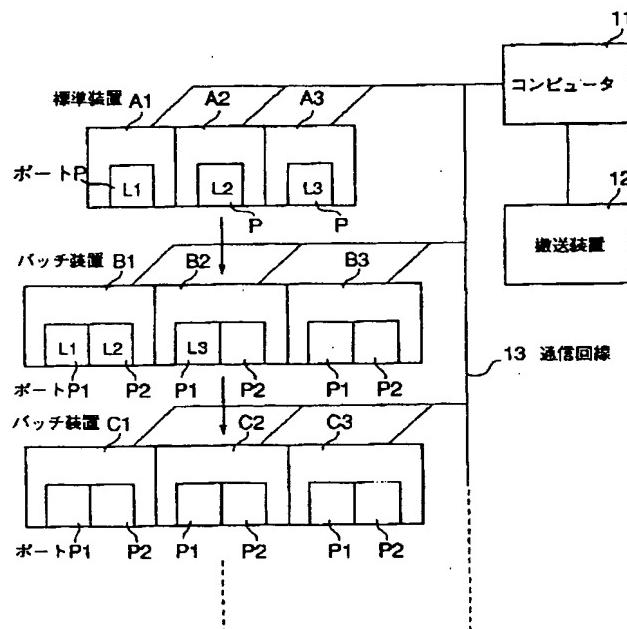
2 搬送装置

A1, A2, A3 標準装置

B1, B2, B3, C1, C2, C3 バッチ装置

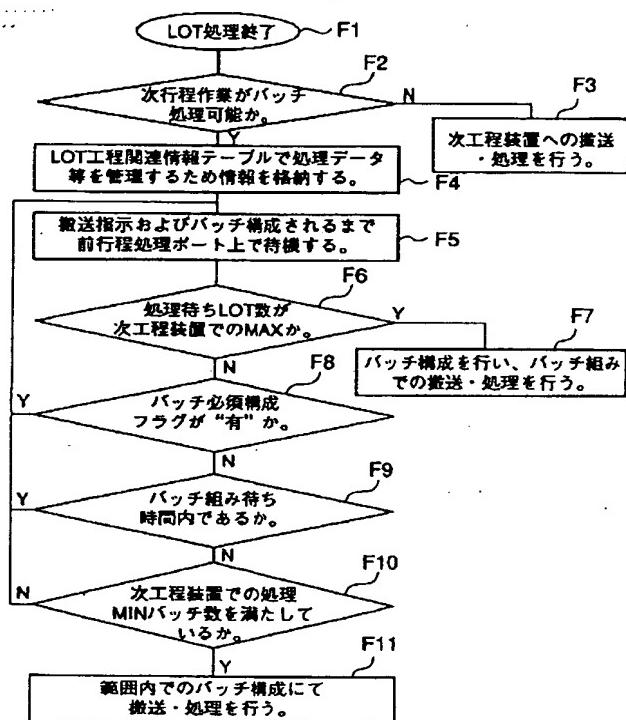
L1, L2, L3 ロット

【図1】



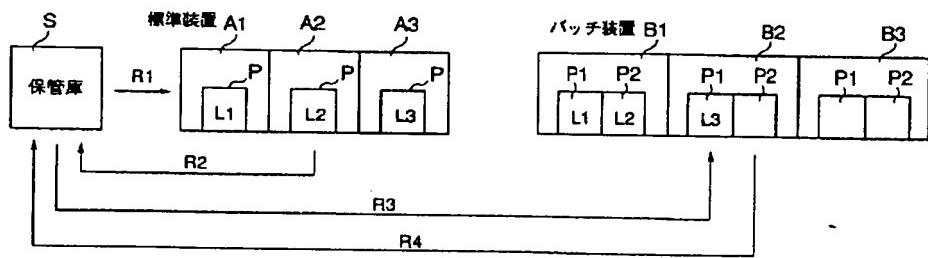
本発明のシステム構成を示す図

【図2】



本発明の搬送制御方法を示すフローチャート

【図 3】



従来のロット搬送方法を示す図